

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-344965

(43) 公開日 平成11年(1999)12月14日

(51) IntCl.⁶
G 0 9 G 5/00

識別記号
5 3 0

F I
G 0 9 G 5/00

5 3 0 M

5 3 0 T

5 5 0 R

6 3 3 P

3/20

5 5 0

6 3 3

3/20

審査請求 未請求 請求項の数 8 O L (全 16 頁)

(21) 出願番号 特願平10-153044

(22) 出願日 平成10年(1998)6月2日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 江藤 力

東京都千代田区大手町二丁目6番2号 三

菱電機エンジニアリング株式会社内

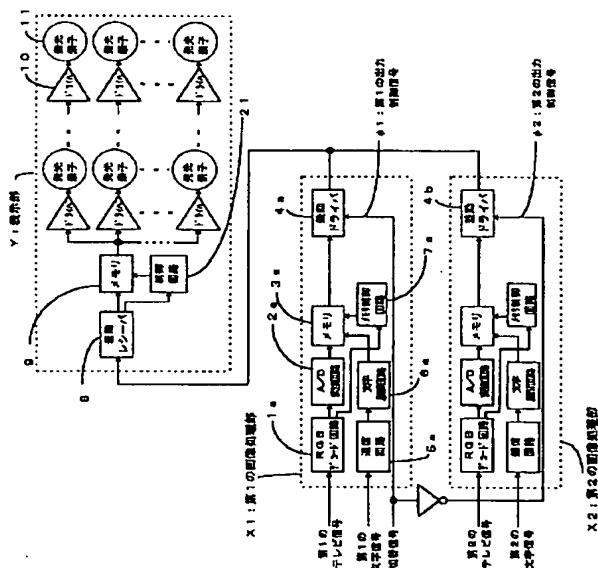
(74) 代理人 弁理士 宮田 金雄 (外2名)

(54) 【発明の名称】 画像表示装置

(57) 【要約】

【課題】 共通の切替回路を要せずに複数の画像処理部からの画像信号を切替えることができ、表示部が正常であれば複数の画像処理部の全てが故障しない限り、表示を続けることができる画像表示装置を得る。

【解決手段】 この画像表示装置は、切替信号に基づいて画像信号の出力を出力状態と非出力状態とに切り替える出力制御手段 4 a、4 b をそれぞれに有する複数の画像処理部 X 1、X 2 と、出力状態にある画像処理部 1 から出力される画像信号を表示する表示部 Y とを備え、複数の画像処理部 X 1、X 2 のいずれか 1 つが出力状態であるとともに、他の画像処理部が非出力状態であることを特徴とする。



【特許請求の範囲】

【請求項 1】 切替信号に基づいて画像信号の出力を出力状態と非出力状態とに切り替える出力制御手段をそれぞれに有する複数の画像処理部と、出力状態にある画像処理部から出力される画像信号を表示する表示部とを備えた画像表示装置。

【請求項 2】 複数の画像処理部のいずれか 1 つが出力状態であるとともに、他の画像処理部が非出力状態であることを特徴とする請求項 1 記載の画像表示装置。

【請求項 3】 出力状態にある画像処理部から他の一の画像処理部へ出力状態が切り替わるとき、複数の画像処理部の全ての出力が一旦同一のレベルとなることを特徴とする請求項 1 又は 2 記載の画像表示装置。

【請求項 4】 出力状態にある画像処理部のデータブロック完了信号のタイミングに合わせて、上記出力状態にある画像処理部から他の一の画像処理部へ出力状態が切り替わることを特徴とする請求項 1 乃至 3 のいずれか 1 項記載の画像表示装置。

【請求項 5】 出力状態にある画像処理部のデータブロック完了信号のタイミングに合わせて、上記出力状態にある画像処理部の出力が所定のレベルとなり、その後複数の画像処理部の全ての出力が上記所定のレベルと同一のレベルとなり、その後他の一の画像処理部のデータブロック完了信号のタイミングに合わせて、上記他の一の画像処理部が出力状態に切り替わることを特徴とする請求項 1 又は 2 記載の画像表示装置。

【請求項 6】 データブロック完了信号のタイミングに代えて、垂直同期信号のタイミングに合わせることを特徴とする請求項 4 又は 5 記載の画像表示装置。

【請求項 7】 表示部と複数の画像処理部のそれぞれとの間に電流制限用の抵抗を備え、上記複数の画像処理部のいずれか 1 つが故障した場合も、他の画像処理部は短絡電流により故障することなく画像信号を出力可能であることを特徴とする請求項 1 乃至 6 のいずれか 1 項記載の画像表示装置。

【請求項 8】 複数の画像処理部はそれぞれ、他の画像処理部の電源電圧を検出し、該他の画像処理部の電源電圧が遮断した場合に、それぞれの画像信号を表示部に自動的に出力する回路を備えていることを特徴とする請求項 1 乃至 7 のいずれか 1 項記載の画像表示装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は大型映像表示装置などの表示部に対し、受信したテレビ信号及び文字信号等の入力信号に所定の処理を施して得た画像信号をそれぞれ出力可能な複数の画像処理部を備え、この複数の画像処理部の出力状態を切り替え可能な画像表示装置に関するものである。

【0002】

【従来の技術】 図 1 4 は従来の複数の画像処理部を備え

た画像表示装置である。ここでは 1 台の画像表示装置において 1 台の画像表示可能な表示部 Y と、2 台の画像処理部 X 1、X 2 とを備えた例を示す。図 1 4 において、X 1 は第 1 の画像処理部、X 2 は第 2 の画像処理部、Y は画像を表示するための表示部、Z は複数の画像処理部 X 1、X 2 と表示部 Y との接続を切り替えるための切替回路であり、従来の画像表示装置はこれらの 4 つの部分から構成される。

【0003】 画像処理部 X 1、X 2 において、入力されたテレビ信号と流し文字などを表示するための文字信号とが、A/D 変換などの処理を施された後、表示部 Y に合った専用のフォーマットの差動信号で切替回路 Z に送られる。

【0004】 この切替回路 Z には 2 台の画像処理部 X 1、X 2 から出力される画像信号と、スイッチなどにより生成された切替信号が入力され、この切替信号に応じて画像処理部 X 1、X 2 のいずれか一方の信号を選択して表示部 Y に出力する。表示部 Y では送られてきた信号をもとに CRT や LED 等の発光素子 1 1 を発光させ、上記テレビ信号及び文字信号を表示する。

【0005】 画像処理部 X 1、X 2 は、テレビ信号を R (赤)、G (緑)、B (青) の 3 原色に分解する RGB デコード回路 1 a、1 b、R (赤)、G (緑)、B (青) のアナログ信号をデジタル信号に変換する A/D 変換回路 2 a、2 b、デジタル変換された画像信号を記憶するメモリ 3 a、3 b、TTL (Transistor Transistor Logic) 信号を差動信号に変換する差動ドライバ 2 4 a、2 4 b、文字信号を受信する通信回路 5 a、5 b、文字コードをドットパターンに展開する文字展開回路 6 a、6 b、及びメモリ 3 a、3 b の書き込みと読み出しを制御するメモリ制御回路 7 a、7 b を具備する。

【0006】 又、切替回路 Z は、差動信号を TTL 信号に戻す差動レシーバ 1 8 a、1 8 b、2 つの信号からひとつの信号を選択して出力するセレクター 1 9 及び表示部 Y に差動信号を出力する差動ドライバ 2 0 から構成される。

【0007】 又、表示部 Y は差動レシーバ 8、切替回路 Z から送られてきた画像信号を記憶するメモリ 9、このメモリ 9 の書き込み、読み出しを制御する制御回路 2 1、アレイ状に配置された発光素子 1 1 及び該発光素子 1 1 を直接駆動するドライバ 1 0 から構成される。

【0008】 次に画像表示装置の動作について説明する。図 1 4 において画像処理部 X 1、X 2 にそれぞれ入力された第 1、第 2 のテレビ信号は、まず RGB デコード回路 1 a、1 b で R (赤)、G (緑)、B (青) の 3 原色に分解される。次に、A/D 変換回路 2 a、2 b で所定のビット数にデジタル変換された後に、メモリ 3 a、3 b に書き込まれる。

【0009】 一方、時刻や流し文字を表示するための第 1、第 2 の文字信号は、通信回路 5 a、5 b で受信さ

れ、文字展開回路 6 a、6 b においてドットパターンに展開された後に、メモリ制御回路 7 a、7 b により、メモリ 3 a、3 b に書き込まれ、それぞれ第 1、第 2 のテレビ信号と合成される。

【0010】テレビ信号と文字信号が合成された画像データは、上記メモリ制御回路 7 a、7 b により、メモリ 3 a、3 b から表示部 Y の画素配列に整合した所定の順序で読み出され、画像データの表示位置を指定するラインアドレスが付加され、その後、差動ドライバ 2 4 a、2 4 b により TTL 信号から差動信号に変換されて、切替回路 Z に出力される。ここで、TTL 信号から差動信号に変換しているのは、差動信号の方が TTL 信号よりも長距離伝送に適しているからである。

【0011】図 1 5 に上記画像データの伝送フォーマットを示す。図 1 5 において、ラインアドレスは、ラインアドレスに引き続き伝送される画像データ 1 ~ n の表示部 Y における上下方向の位置を特定するためのデータであり、最上位のラインに対応するラインアドレスは 0 であり、下方向に順次増加していくものである。上記画像データはメモリ 3 a、3 b に書き込まれたテレビ信号と文字信号が合成されたデータである。

【0012】ここで、最初の画像データ 1 は表示部の左端に表示され、画像データ n は右端に表示される。ラインアドレスから、これに引き続き伝送される画面左端に表示される画像データ 1 から画面右端に表示される画像データ n までの一連のデータ群を以下、データブロックと呼ぶ。また、図 1 5 中のデータブロック完了信号とは、このデータブロックの最後の画像データ n が送信されたことを表すための信号である。

【0013】また、差動ドライバ 2 4 a、2 4 b は入力信号と同じ論理の信号が出力される非反転出力端子と、反転された論理の信号が出力される反転出力端子の 2 つの出力端子を有する。

【0014】また、差動レシーバ 1 8 a、1 8 b は非反転入力と反転入力の 2 つの入力端子と 1 つの出力端子をもち、非反転入力と反転入力の電位を比較して、非反転入力の方が高ければハイレベルを出力し、反転入力の方が高ければローレベルを出力する。

【0015】又、切替回路 Z では、2 台の画像処理部 X 1、X 2 から送られてくる差動信号を、差動レシーバ 1 8 a、1 8 b で受信した後にセクター 1 9 に入力する。セクター 1 9 には手動の切替スイッチなどで作られた切替信号が入力され、切替信号に応じて、例えばローレベルであれば第 1 の画像処理部 X 1 の画像信号が選択され、ハイレベルであれば第 2 の画像処理部 X 2 の画像信号が選択される。選択された画像信号は再び差動ドライバ 2 0 で差動信号に変換され表示部 Y に送られる。

【0016】又、表示部 Y では画像信号を差動レシーバ 8 で受信し、制御回路 2 1 により、受信された画像信号をメモリ 9 上のラインアドレスで指定されたアドレスに

書き込む。そして、上記メモリ 9 に書き込まれた画像信号は、上記制御回路 2 1 により、テレビ信号のフィールド周期の間に所定の回数読み出され、発光素子のドライバ 1 0 に送られる。この送られてきた画像信号が、ドライバ 1 0 で発光素子 1 1 に必要な電圧に変換されることで、発光素子 1 1 は画像信号に応じた輝度で発光する。

【0017】以上の動作により、表示部 Y には、切替信号で選択された画像処理部 X 1、X 2 のいずれか一方のメモリ 3 a 又は 3 b に記憶された画像信号が表示される。そして、各々の画像処理部 X 1、X 2 に異なるテレビ信号、文字信号を入力し、それらを交互に切替えて表示させることができる。

【0018】ここで、従来の画像表示装置で画像処理部 X 1、X 2 からの画像を切替えたときの表示画面について説明する。図 1 6 は切替時における各部分の出力画像信号を表し、上から第 1 の画像処理部 X 1、第 2 の画像処理部 X 2、切替回路 Z の出力画像信号を示している。又、図 1 7 はそのときの表示画像であり、左から順に第 1 の画像処理部 X 1、第 2 の画像処理部 X 2、切替回路 Z から出力される画像を示す。実際には、表示部 Y に表示される画像は右端の切替回路 Z から出力される画像である。

【0019】図 1 6 に示すように、第 1 の画像処理部 X 1 の出力画像信号中の画像データ 6 の直後に、切替信号がローレベルからハイレベルに変化した場合、切替回路 Z に入力される画像信号が、データブロックの途中で、第 1 の画像処理部 X 1 の出力画像信号から第 2 の画像処理部 X 2 の出力画像信号へ切り替わる。

【0020】そのため、第 2 の画像処理部 X 2 の出力画像信号中の画像データ 2 以降のデータは、本来のラインアドレスとは異なるラインアドレスに書き込まれるため、上下方向に誤った位置に表示されてしまう。

【0021】さらに、上記第 2 の画像処理部 X 2 の画像データ 2 以降のデータは、第 1 の画像処理部 X 1 の画像データ 1 ~ 7 の後に書き込まれてしまうため、左右方向にも誤った位置に表示される。

【0022】その結果、図 1 7 中の表示画像 8 に示したように、切替え直後の画像データ（ここでは、円の最上部分）は、本来表示されるべき位置とは上下、左右とも異なる位置に表示されてしまう。ここで、図 1 7 中の切替信号は、データブロックの途中でローレベルからハイレベルに変化している様子を表している。

【0023】また、垂直同期信号とは無関係に、フィールドの途中で画像信号を切替えているため、図 1 7 の表示画像 8 に示したように、画像が走査の途中で途切れたり、表示画像 9 のように、画像が途中から始まってしまうという不具合を生じていた。

【0024】

【発明が解決しようとする課題】従来例では、共通の切替回路 Z を介して画像データを表示部 Y に出力するの

で、切替回路 Z が故障した場合には、複数の画像処理部からの画像の切替が不可能になり、いずれの画像も表示出来なかった。

【0025】又、図 16 に示すように、データブロックの途中で表示部 Y と画像処理部 X 1、X 2 との接続が切り替わっていたため、図 17 中の表示画像 8 に示したように、切替え直後の画像データが本来表示されるべき位置とは上下、左右とも異なる位置に表示されるため、肉眼では一瞬画像が乱れたように感じる。

【0026】又、図 17 に示したように垂直同期信号とは無関係にフィールドの途中で切替えているため、表示画像 8 のように画像が途切れて他画面の一部が途中から表示されたり、表示画像 9 のように画面の途中から始まるため、これも肉眼では一瞬画像が乱れたように感じる。

【0027】さらに、従来例では、画像処理部 X 1、X 2 の切替を手動で行っていたため、画像信号を出力している画像処理部 X 1 又は X 2 の電源回路などが故障した場合に、発見者が手動で他の画像処理部 X 2 又は X 1 へ切替えるまで画像が表示できなかった。

【0028】本発明は上記のような問題点を解消するためになされたもので、共通の切替回路を要せずに複数の画像処理部からの画像信号を切替えることができ、表示部が正常であれば複数の画像処理部の全てが故障しない限り、表示を続けることができる画像表示装置を得ることを目的としている。

【0029】又、複数の画像処理部からの画像信号を切替える際に、表示画像に乱れを生じさせることのない画像表示装置を得ることを目的としている。

【0030】又、画像処理部の電源回路などが故障した場合に、故障発見者による他の画像処理部への手動切替え作業を不要とすることができる画像表示装置を得ることを目的としている。

【0031】

【課題を解決するための手段】この発明に係る画像表示装置は、切替信号に基づいて画像信号の出力を出力状態と非出力状態とに切り替える出力制御手段をそれぞれに有する複数の画像処理部と、出力状態にある画像処理部から出力される画像信号を表示する表示部とを備えたものである。

【0032】又、上記複数の画像処理部のいずれか 1 つが出力状態であるとともに、他の画像処理部が非出力状態であることを特徴とするものである。

【0033】又、上記出力状態にある画像処理部から他の一の画像処理部へ出力状態が切り替わるとき、複数の画像処理部の全ての出力が一旦同一のレベルとなることを特徴とするものである。

【0034】又、上記出力状態にある画像処理部のデータブロック完了信号のタイミングに合わせて、上記出力状態にある画像処理部から他の一の画像処理部へ出力状

態が切り替わることを特徴とする

【0035】又、上記出力状態にある画像処理部のデータブロック完了信号のタイミングに合わせて、上記出力状態にある画像処理部の出力が所定のレベルとなり、その後複数の画像処理部の全ての出力が上記所定のレベルと同一のレベルとなり、その後他の一の画像処理部のデータブロック完了信号のタイミングに合わせて、上記他の一の画像処理部が出力状態に切り替わることを特徴とするものである。

【0036】又、上記データブロック完了信号のタイミングに代えて、垂直同期信号のタイミングに合わせることを特徴とするものである。

【0037】又、上記表示部と複数の画像処理部のそれぞれとの間に電流制限用の抵抗を備え、上記複数の画像処理部のいずれか 1 つが故障した場合も、他の画像処理部は短絡電流により故障することなく画像信号を出力可能であることを特徴とするものである。

【0038】又、上記複数の画像処理部はそれぞれ、他の画像処理部の電源電圧を検出し、該他の画像処理部の電源電圧が遮断した場合に、それぞれの画像信号を表示部に自動的に出力する回路を備えていることを特徴とするものである。

【0039】

【発明の実施の形態】実施の形態 1. 図 1 に本発明の実施の形態 1 の回路構成を示す。図 1 において、X 1 は第 1 の画像処理部、X 2 は第 2 の画像処理部、Y は表示部であり、本実施の形態における画像表示装置はこれらの 3 つの部分から構成される。

【0040】上記画像処理部 X 1、X 2 には、それぞれ、第 1、第 2 のテレビ信号と、流し文字などを表示するための第 1、第 2 の文字信号と、表示部 Y へ画像信号を出力する画像処理部 X 1、X 2 のいずれかを選択するための切替信号とが入力される。

【0041】ここで、上記テレビ信号と文字信号は、画像処理部 X 1、X 2 において、A/D 変換などの処理が施された後に、表示部 Y に合った専用のフォーマットの差動信号で表示部 Y に送られる。ここで、2 台の画像処理部 X 1、X 2 の出力画像信号は短絡され、切替信号に応じてどちらか一方の画像処理部 X 1 又は X 2 が選択され、他の画像処理部 X 2 又は X 1 の差動ドライバ（即ち、出力制御手段）4 b 又は 4 a はハイインピーダンス状態（即ち、非出力状態）になるように構成されている。表示部 Y では送られてきた信号をもとに、CRT や LED からなる発光素子 11 を発光させテレビ信号及び文字信号からなる画像信号を表示する。

【0042】画像処理部 X 1、X 2 は、テレビ信号を R（赤）、G（緑）、B（青）の 3 原色に分解する RGB デコード回路 1 a、1 b、R（赤）、G（緑）、B（青）のアナログ信号をデジタル信号に変換する A/D 変換回路 2 a、2 b、デジタル変換した画像信号を記憶

するメモリ 3 a、3 b、TTL 信号を差動信号に変換する差動ドライバ 4 a、4 b、文字信号を受信する通信回路 5 a、5 b、文字コードをドットパターンに展開する文字展開回路 6 a、6 b、及びメモリの書込みと読み出しを制御するメモリ制御回路 7 a、7 b から構成される。

【0043】又、表示部 Y は差動レシーバ 8、切替回路 Z から送られてきた画像信号を記憶するメモリ 9、このメモリ 9 の書き込み、読み出しを制御する制御回路 2 1、アレイ状に配置された発光素子 1 1 及び該発光素子 1 1 を直接駆動するドライバ 1 0 から構成される。

【0044】以下に実施の形態 1 における画像表示装置の動作について説明する。図 1 において画像処理部 X 1、X 2 に入力されたテレビ信号はまず、RGB デコード回路 1 a、1 b で R (赤)、G (緑)、B (青) の 3 原色に分解され、次に、A/D 変換回路 2 a、2 b で所定のビット数にデジタル変換した後、メモリ制御回路 7 a、7 b によりメモリ 3 a、3 b に書き込まれる。

【0045】一方、時刻や流し文字を表示するための文字信号は、通信回路 5 a、5 b で受信され、文字コードからドットパターンに展開され、その後、メモリ制御回路 7 a、7 b により、メモリ 3 a、3 b に書き込まれ、上記テレビ信号と合成される。

【0046】このテレビ信号と文字信号が合成された画像データは、メモリ 3 a、3 b からメモリ制御回路 7 a、7 b により、表示部 Y の画素配列に合った所定の順序で読み出され、画像データの表示位置を特定するラインアドレスが付加された後に、差動ドライバ 4 a、4 b を介して表示部 Y に出力される。

【0047】ここで、差動ドライバ 4 a、4 b の構成を図 2 に示す。入力信号と出力制御信号が入力される 2 つの入力端子と、非反転出力信号と反転出力信号が出力される 2 つの出力端子をもつ。

【0048】出力制御信号をハイレベルにすると、入力信号と同じ論理の信号が非反転出力信号として出力され、異なる論理の信号が反転出力信号として出力される。出力制御信号をローレベルにすれば、入力信号に関係なく、2 つの出力端子はハイインピーダンス状態になる。図 3 に上記差動ドライバ 4 a、4 b の入力信号と出力信号の関係を示す。

【0049】図 4 に画像処理部 X 1、X 2 の差動ドライバ 4 a、4 b と表示部 Y の差動レシーバ 8 との間の配線を示す。第 1 の画像処理 X 1 と第 2 の画像処理 X 2 の差動信号の出力どうしを短絡して、表示部 Y の差動レシーバ 8 に接続する。

【0050】ここで差動レシーバ 8 は、非反転出力信号と反転出力信号を入力するための 2 つの入力端子と、1 つの出力端子をもち、非反転出力信号と反転出力信号の電位を比較して、非反転出力信号の方が高ければハイレベルを出力し、反転出力信号の方が高ければローレベル

を出力するものである。

【0051】上記のように配線したので、第 1 の画像処理部の差動ドライバ 4 a に入力される第 1 の出力制御信号 $\phi 1$ をハイレベルにして画像信号を出力し、第 2 の画像処理部の差動ドライバ 4 b に入力される第 2 の出力制御信号 $\phi 2$ をローレベルにしてハイインピーダンス状態にすることで、第 1 の画像処理部 X 1 の画像信号を表示部 Y に出力することができる。

【0052】又、両方の出力制御信号 $\phi 1$ 、 $\phi 2$ を反転させれば第 2 の画像処理部 X 2 の画像信号を表示部に出力することができる。

【0053】第 1 の画像処理部から第 2 の画像処理部に切り変える場合のタイミングを図 5 に示す。

【0054】ここで誤って両方の出力制御信号 $\phi 1$ 、 $\phi 2$ をローレベルにした場合、両方の差動ドライバ 4 a、4 b の出力がハイインピーダンス状態になるので、表示部の差動レシーバ 8 へ入力される信号レベルは不定になり、誤った信号が伝送されてしまう。

【0055】又、両方の出力制御信号 $\phi 1$ 、 $\phi 2$ をハイレベルにし、短絡した差動ドライバ 4 a、4 b の出力レベルが異なる場合には、短絡電流が流れるので差動ドライバ 4 a、4 b が破損してしまう恐れがある。さらに、表示部の差動レシーバ 8 で受信する電圧レベルも不定になり、誤った信号が伝送されてしまう。

【0056】ここで、出力制御信号、入力画像信号、非反転出力、反転出力及び差動レシーバの出力信号 (即ち、表示部で受信される信号) の関係を図 6 に示す。

【0057】表示部 Y では、画像信号を差動レシーバ 8 で受信し、制御回路 2 1 により、メモリ 9 上のラインアドレスで指定されたアドレスに書き込む。このメモリ 9 に書き込まれた信号は、制御回路 2 1 により、テレビ信号のフィールド周期の間に所定の回数読み出され発光素子のドライバ 1 0 に送られる。ドライバ 1 0 では入力信号を発光素子 1 1 に必要な電圧に変換し、発光素子 1 1 を点灯させることで、発光素子 1 1 は画像信号に応じた輝度で発光する。

【0058】したがって、本実施の形態においては、従来技術における共通の切替回路を省いた構成で、複数の画像処理部 X 1、X 2 からの画像信号を切替えて表示することができ、表示部 Y が正常であれば複数の画像処理部 X 1、X 2 の全てが故障しない限り、いずれかの画像の表示を続けることができる。また、各々の画像処理部 X 1、X 2 に異なるテレビ画像、文字情報を入力し、それらを交互に切替えて表示させることも可能である。

【0059】尚、本実施の形態においては、画像処理部の個数を 2 つの場合を示したが、画像処理部の個数は 3 つ以上でもよく、この場合には、切替信号のビット数を多ビットにすることで対応が可能である。

【0060】具体的には、切替信号を 2 ビットにして、(0, 0) の場合に第 1 の画像処理部 X 1、(0, 1)

の場合に第 2 の画像処理部 X 2、(1, 0) の場合に第 3 の画像処理部、(1, 1) の場合に第 4 の画像処理部をそれぞれ選択するようにすれば良い。

【0061】同様に、切替信号のビット数を増やすことで、さらに多数の画像処理部から選択を行うことも可能となる。

【0062】実施の形態 2. 図 7 に本発明の実施の形態 2 の回路構成を示す。実施の形態 2 における画像表示装置は、実施の形態 1 における画像表示装置の構成部品に加えて、画像処理部 X 1、X 2 にそれぞれ、メモリ 3 a、3 b から出力される画像データを強制的にローレベルにするゲート回路 1 2 a、1 2 b と、切替信号をもとに第 1、第 2 のゲート信号 $\phi 1$ 、 $\phi 2$ 及び第 1、第 2 の出力制御信号 $\phi 1$ 、 $\phi 2$ を生成する切替制御回路 1 3 a、1 3 b とを具備したものである。表示部 Y は実施の形態 1 と同様の構成である。

【0063】図 8 に本発明に係る画像表示装置の実施の形態 2 におけるゲート回路の回路構成を示す。図 8 に示すように、メモリ 3 a、3 b から出力される画像データ 1 ~ n、並びに、2 種類のラッチクロック（即ち、画像データラッチクロックおよびラインアドレスラッチクロック）はゲート回路 1 2 a、1 2 b に入力される。ゲート回路 1 2 a、1 2 b は AND 回路から構成されており、第 1、第 2 のゲート信号 $\phi 1$ 、 $\phi 2$ がローレベルであれば、画像データ 1 ~ n 及び上記 2 種類のラッチクロックを強制的にローレベルにして、差動ドライバ 4 a、4 b に出力するものである。

【0064】又、図 9 に本発明に係る画像表示装置の実施の形態 2 における切替制御回路の回路構成を示す。図 9 に示すように、切替制御回路 1 3 a、1 3 b では、切替信号を第 1、第 2 の垂直同期信号や第 1、第 2 の基本クロックでラッチすることで、切替信号から遅れた第 1、第 2 のゲート信号 $\phi 1$ 、 $\phi 2$ 及び第 1、第 2 の出力制御信号 $\phi 1$ 、 $\phi 2$ を生成する。ここで、上記第 1、第 2 の基本クロックは、画像処理部 X 1、X 2 が有する図示しないクロック発生回路から出力される、各画像処理部 X 1、X 2 中の回路を動作させるためのクロック信号である。

【0065】次に、切替信号がローレベルからハイレベルに変わり、第 1 の画像処理部 X 1 から第 2 の画像処理部 X 2 に切り変わる場合を例にとり動作を説明する。この時のタイミングチャートを図 10 に示す。

【0066】まず、切替信号が変化し直後の第 1 の垂直同期信号のタイミングで（即ち、図中 A で示される時点において）、第 1 のゲート信号 $\phi 1$ をローレベルにして、ゲート回路 1 2 a から出力される画像データ 1 ~ n の出力をローレベルに固定する。このとき、第 2 の画像処理部の差動ドライバ 4 b はハイインピーダンス状態にある。そのため、短絡されている差動ドライバ 4 a、4 b の非反転出力信号はローレベルになるとともに反転出

力信号はハイレベルになる、即ち、ローレベルに固定された画像信号が差動レシーバ 8 に出力されることになる。

【0067】ここで、第 1 の垂直同期信号は第 1 のデータブロック完了信号に同期しているため、データブロックの途中で画像が途切れることが無い。また、ゲート回路 1 2 a は第 1 の垂直同期信号と同じタイミングで画像データ 1 ~ n をローレベルに固定するため、図 1 7 中の画像 8 に示した従来技術を用いた場合のように、画像が途切れることがなく、切替信号が変化した時点における画像を、画面単位で最後まで途切れることなく表示することができる。

【0068】又、次の基本クロックのタイミングで（即ち、図中 B で示される時点において）、第 2 の出力制御信号 $\phi 2$ をハイレベルにする。このとき第 2 のゲート信号 $\phi 2$ はローレベルになっているため、ゲート回路 1 2 b から出力される画像データ 1 ~ n の出力はローレベルになる。

【0069】そのため、短絡されている差動ドライバ 4 a、4 b の非反転出力信号は同じローレベルになるとともに、反転出力信号は同じハイレベルになる。したがって、ローレベルに安定した画像信号が差動レシーバ 8 に入力され、誤った信号が送られることも、差動ドライバ 4 a、4 b を短絡電流により破損させることも無い。

【0070】又、次の基本クロックのタイミングで（即ち、図中 C で示される時点において）、第 1 の出力制御信号 $\phi 1$ をローレベルにして、第 1 の画像処理部の差動ドライバ 4 a をハイインピーダンス状態にする。一方、このとき、第 2 の画像処理部 X 2 の出力はローレベルに固定されたままである。

【0071】次に、第 2 の画像処理部における垂直同期信号のタイミングで（即ち、図中 D で示される時点において）、第 2 のゲート信号 $\phi 2$ をハイレベルにして、第 2 の画像処理部 X 2 の画像信号を出力する。

【0072】ここで、第 2 の垂直同期信号は、第 2 のデータブロック完了信号に同期しているため、データブロックの途中で画像が途切れることが無い。また、第 2 の垂直同期信号と同じタイミングで画像信号が出力されるため、図 1 7 中の画像 9 に例示した従来技術を使用した場合のように、画像が途中から表示されることも無い。

【0073】図 1 1 は、左から順に第 1 の画像処理部 X 1、第 2 の画像処理部 X 2、表示部 Y に表示される画像である。この図に示すように、従来のように途中で画像が途切れることが無く、しかも、画像が途中から表示されることも無い。

【0074】本実施の形態においては、上記のように構成することで、途中で画像が途切れることが無く、誤った信号を伝送することも、差動ドライバを短絡電流により破損させることも無く、さらに、画像が途中から表示

【0075】したがって、本実施の形態においては、実施の形態1と同様の効果を有するとともに、一の画像処理部から他の画像処理部へ、表示画像を全く乱すことなく切替えることができる。

【0076】尚、本実施の形態において、切替制御回路13a、13bは図9に示された回路構成に限らず、他の構成であってもよく、上記のようなタイミングで第1、第2のゲート信号 $\phi 1$ 、 $\phi 2$ 及び第1、第2の出力制御信号 $\phi 1$ 、 $\phi 2$ を生成するものであれば、その構成は限定されるものではない。

【0077】又、本実施の形態においては、画像処理部の個数を2つとした場合を示したが、画像処理部の個数は3以上でも良く、その場合においても、一旦全ての画像処理部の出力を同レベルにした後、画像信号を出力する画像処理部を切替信号を用いて選択すれば良い。このようにすることで、誤った信号を伝送することも、差動ドライバを短絡電流により破損させることも無くなる。

【0078】又、画像処理部の個数を3以上にした場合においても、各データブロック完了信号及び垂直同期信号に同期するように、各ゲート信号を生成することで、一の画像処理部から他の画像処理部へ、表示画像を全く乱すことなく切替えることができる。

【0079】実施の形態3. 図12に本発明の実施の形態3における画像処理部の差動ドライバ4a、4bと表示部の差動レシーバ8との間の配線を示す。差動ドライバ4a、4bの出力部に電流制限用の抵抗器14a~14dを設けている点を除いて、他の点は実施の形態1の場合と全く同じ構造である。

【0080】本実施の形態においては、実施の形態1に記載の効果を有するとともに、抵抗器14a~14dを設けているため、何れかの画像処理部の差動ドライバ4a又は4bが故障して、該差動ドライバ4a又は4bの内部で、出力端子と電源Vcc(5V)又はVdd(0V)が短絡状態になった場合においても、一方の正常な差動ドライバ4b又は4aを破損させることなく、画像信号の出力を続けることができる。

【0081】ここで、一方、抵抗器が無い場合においては、例えば第1の画像処理部の差動ドライバ4aの非反転出力部が故障し、この出力端子とVdd(0V)が短絡した状態において、第2の画像処理部の差動ドライバ4bの非反転出力からハイレベルを出力していた場合、差動ドライバ4bに短絡電流が流れ、該差動ドライバ4bまで破損させてしまう。そのため、当然に、正常な画像信号が出力できなくなる。本実施の形態は電流制限用の抵抗を備えているので、上記のような不具合を抑制できる効果を有する。

【0082】又、ここで、画像処理部の個数は2個に限らず、3以上でも同様の効果を奏することは言うまでもない。

【0083】実施の形態4. 図13に本発明の実施の形

態4における画像表示装置の回路構成を示す。本実施の形態における画像表示装置は、実施の形態1における回路構成部品に加えて、画像処理部X1、X2にそれぞれ、NOT回路16a、16b及びOR回路17a、17bからなる回路22a、22bを具備する。

【0084】本実施の形態においては、実施の形態1においては明示しなかった第1の画像処理部X1内部に設けられたローカル電源15aの電圧5Vを、NOT回路16bを介してOR回路17bの片方の入力端子に入力する。OR回路17bのもう一つの入力端子には切替信号の反転信号を入力し、該OR回路17bの出力信号を、第2の出力制御信号 $\phi 2$ として第2の画像処理部の差動ドライバ4bに入力する。

【0085】同様に、第2の画像処理部X2内部のローカル電源15bの電圧5Vを、NOT回路16aを介してOR回路17aの片方の入力端子に入力する。OR回路17aのもう一つの入力端子には切替信号を入力し、該OR回路17aの出力信号を、第1の出力制御信号 $\phi 1$ として第1の画像処理部の差動ドライバ4aに入力する。

【0086】次に、動作について説明する。両方のローカル電源15a、15bが正常に動作し5Vを出力している場合、NOT回路16b、16aの入力信号はハイレベルになるため、OR回路17b、17aへの出力信号はローレベルになる。そのため、該OR回路17b、17aの出力信号は、もう一つの入力端子に入力される切替信号と同じレベルになるため、切替信号に応じて差動ドライバ4b、4aの出力制御信号を変化することができる。したがって、両方のローカル電源15a、15bが正常に動作している場合、実施の形態1と同じ動作を実現できる。

【0087】それに加え、本実施の形態では、上記のように構成されているので、以下に述べるように、一方の画像処理部X1又はX2のローカル電源15a又は15bが故障した場合にも、他の画像処理部X2又はX1へ自動的に切替えることで、画像表示を続けることができるという効果を有する。

【0088】具体的には、第2の画像処理部のローカル電源15bが故障して5Vが0Vになった場合に、第1の画像処理部のNOT回路16aへの入力信号はローレベルになるため、OR回路17aへの出力信号はハイレベルになる。そのため、OR回路における出力信号はもう一つの入力端子に入力される切替信号に関係なくハイレベルになるので、差動ドライバ4aの第1の出力制御信号 $\phi 1$ はハイレベルになり、第1の画像処理部4aから差動信号が出力される。

【0089】一方、このとき、第2の画像処理部のローカル電源15bが故障しているため、第2の画像処理部の差動ドライバ4bはハイインピーダンス状態になるため、表示部Yには第1の画像処理部X1の画像が表示さ

れることとなる。

【0090】反対に、第1の画像処理部X1のローカル電源15aの出力が0Vになった場合は、第2の画像処理部X2の画像が表示されることになる。上記のように、本実施の形態においては、実施の形態1に記載の効果を有するとともに、簡易な構造の回路を用いて、一方の画像処理部の電源回路などが故障した場合に、他方の画像処理部へ自動的に切替えることができるという効果を有する。

【0091】尚、本実施の形態においては、画像処理部の個数が2個の場合を示したが、3個以上でも良く、各画像処理部のローカル電源の出力を他の画像処理部に接続することにより、2個の場合と同様にして、一の画像処理部の電源回路などが故障した場合に、他の画像処理部へ自動的に切替えることができるという効果を有することは言うまでもない。

【0092】

【発明の効果】この発明に係る画像表示装置は、切替信号に基づいて画像信号の出力を出力状態と非出力状態とに切り替える出力制御手段をそれぞれに有する複数の画像処理部と、出力状態にある画像処理部から出力される画像信号を表示する表示部とを備えたので、従来のような共通の切替回路を要せずに複数の画像処理部からの画像信号を切替えることができ、表示部が正常であれば複数の画像処理部の全てが故障しない限り、表示を続けることができる効果がある。

【0093】この発明に係る画像表示装置は、それぞれの画像信号の出力を出力状態と非出力状態とに切り替える出力制御手段をそれぞれ有する複数の画像処理部と、上記出力状態にある画像処理部から出力される画像信号に基づいて、画像を表示する表示部とを備え、上記複数の画像処理部のいずれか1つが出力状態であるとともに、他の画像処理部が非出力状態であることを特徴とするので、従来のような共通の切替回路を要せずに複数の画像処理部からの画像信号を切替えることができ、表示部が正常であれば複数の画像処理部の全てが故障しない限り、表示を続けることができる効果がある。

【0094】又、上記出力状態にある画像処理部から他の一の画像処理部へ出力状態が切り替わるとき、複数の画像処理部の全ての出力が一旦同一のレベルとなることを特徴とするので、誤った信号を伝送することも、画像処理部を短絡電流により破損させることも無くなるという効果がある。

【0095】又、出力状態にある画像処理部のデータブロック完了信号のタイミングに合わせて、上記出力状態にある画像処理部から他の一の画像処理部へ出力状態が切り替わることを特徴とするので、画像がデータブロックの途中で途切れることが無く、画像がデータブロックの途中から表示されることも無い。そのため、一の画像処理部から他の画像処理部へ、表示画像を乱すことなく

切替えることができる。

【0096】又、出力状態にある画像処理部のデータブロック完了信号のタイミングに合わせて、上記出力状態にある画像処理部の出力が所定のレベルとなり、その後複数の画像処理部の全ての出力が上記所定のレベルと同一のレベルとなり、その後他の一の画像処理部のデータブロック完了信号のタイミングに合わせて、上記他の一の画像処理部が出力状態に切り替わることを特徴とするので、誤った信号を伝送することも、画像処理部を短絡電流により破損させることも無く、さらに、一の画像処理部から他の画像処理部へ表示画像を乱すことなく、出力状態を切替えることもできる。

【0097】又、上記データブロック完了信号のタイミングに代えて、垂直同期信号のタイミングに合わせることを特徴とするので、画像が画面単位で途切れることが無く、画像が画面の途中から表示されることも無い。そのため、一の画像処理部から他の画像処理部へ、表示画像を乱すことなく切替えることができる。

【0098】又、上記表示部と複数の画像処理部のそれぞれとの間に電流制限用の抵抗を備え、上記複数の画像処理部のいずれか1つが故障した場合も、他の画像処理部は短絡電流により故障することなく画像信号を出力可能であることを特徴とするので、上記故障した画像処理部以外の画像処理部からの画像信号に基づいて、上記表示部に画像を表示し続けることができるという効果がある。

【0099】又、上記複数の画像処理部はそれぞれ、他の画像処理部の電源電圧を検出し、該他の画像処理部の電源電圧が遮断した場合に、それぞれの画像信号を表示部に自動的に出力する回路を備えていることを特徴とするので、画像処理部の故障を発見した者による手動切替え作業を要せずに、自動的に他の画像処理部の画像を表示できる効果がある。

【図面の簡単な説明】

【図1】 本発明に係る画像表示装置の実施の形態1における回路構成を示す回路構成図である。

【図2】 本発明に係る画像表示装置の実施の形態1における差動ドライバの回路構成を示す回路構成図である。

【図3】 本発明に係る画像表示装置の実施の形態1における差動ドライバの入力及び出力信号の関係図である。

【図4】 本発明に係る画像表示装置の実施の形態1における差動ドライバと差動レシーバとの間の配線を示す回路構成図である。

【図5】 本発明に係る画像表示装置の実施の形態1における差動ドライバ及び差動レシーバの入力及び出力信号の切替時におけるタイミング図である。

【図6】 本発明に係る画像表示装置の実施の形態1における差動ドライバ及び差動レシーバの入力及び出力信

号の関係図である。

【図 7】 本発明に係る画像表示装置の実施の形態 2 における回路構成を示す回路構成図である。

【図 8】 本発明に係る画像表示装置の実施の形態 2 におけるゲート回路の回路構成を示す回路構成図である。

【図 9】 本発明に係る画像表示装置の実施の形態 2 における切替制御回路の回路構成を示す回路構成図である。

【図 10】 本発明に係る画像表示装置の実施の形態 2 における差動ドライバ、ゲート回路及び切替制御回路の 10 入力及び出力信号の切替時におけるタイミング図である。

【図 11】 本発明に係る画像表示装置の実施の形態 2 における表示画像を示す図である。

【図 12】 本発明に係る画像表示装置の実施の形態 3 における差動ドライバと差動レシーバとの間の配線を 20 示す回路構成図である。

【図 13】 本発明に係る画像表示装置の実施の形態 4 における回路構成を示す回路構成図である。

【図 14】 従来の画像表示装置の回路構成を示す回路 構成図である。

【図 15】 本発明に係る画像表示装置の実施の形態 1 における画像データの伝送フォーマットを示す概念図 である。

【図 16】 従来の画像表示装置の画像処理部及び切替

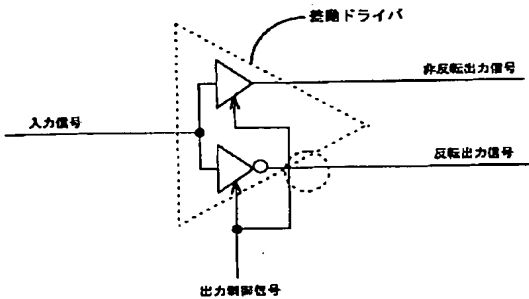
回路の入力及び出力信号の切替時におけるタイミング図 である。

【図 17】 従来の画像表示装置の表示画像を示す図で ある。

【符号の説明】

1 a、1 b RGBデコード回路、 2 a、2 b A/D 変換回路、 3 a、3 b メモリ、 4 a、4 b 差動ドライバ（出力制御手段）、 5 a、5 b 通信回 路、 6 a、6 b 文字展開回路、 7 a、7 b メモリ 制御回路、 8 差動レシーバ、 9 メモリ、 10 ドライバ、 11 発光素子、 12 a、1 2 b ゲート回路、 13 a、13 b 切替制御 回路、 14 a、14 b、14 c、14 d 電流制限用の 抵抗、 15 a、15 b ローカル電源、 16 a、 16 b NOT回路、 17 a、17 b OR回路、 18 a、18 b 差動レシーバ、 19 セレク タ、 20 差動ドライバ、 21 制御回路、 22 a、22 b 画像信号を自動的に出 力する回路、 24 a、24 b 差動ドライバ、 $\phi 1$ 第 1 の出力制御信号、 $\phi 2$ 第 2 の出力制御信 号、 $\phi 1$ 第 1 のゲート信号、 $\phi 2$ 第 2 のゲート信号、 X 1 第 1 の画像処理部、 X 2 第 2 の画像処理部、 Y 表示部、 Z 切替回路。

【図 2】



【図 6】

第 1 の 入力信号	第 2 の 入力信号	第 1 の出力 制御信号	第 2 の出力 制御信号	非反転 出力信号	反転 出力信号	レシーバ 出力信号
L	H	H	L	L	H	L
L	H	L	H	H	L	H
L	H	L	L	Z	Z	X
L	H	H	H	S	S	X
L	L	H	H	L	H	L
H	H	H	H	H	L	H

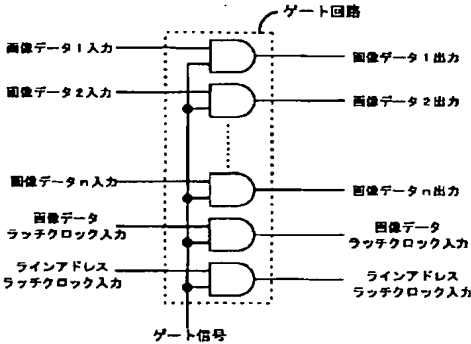
L : ローレベル状態
H : ハイレベル状態
Z : ハイインピーダンス状態
S : 短絡状態
X : 不定

【図 3】

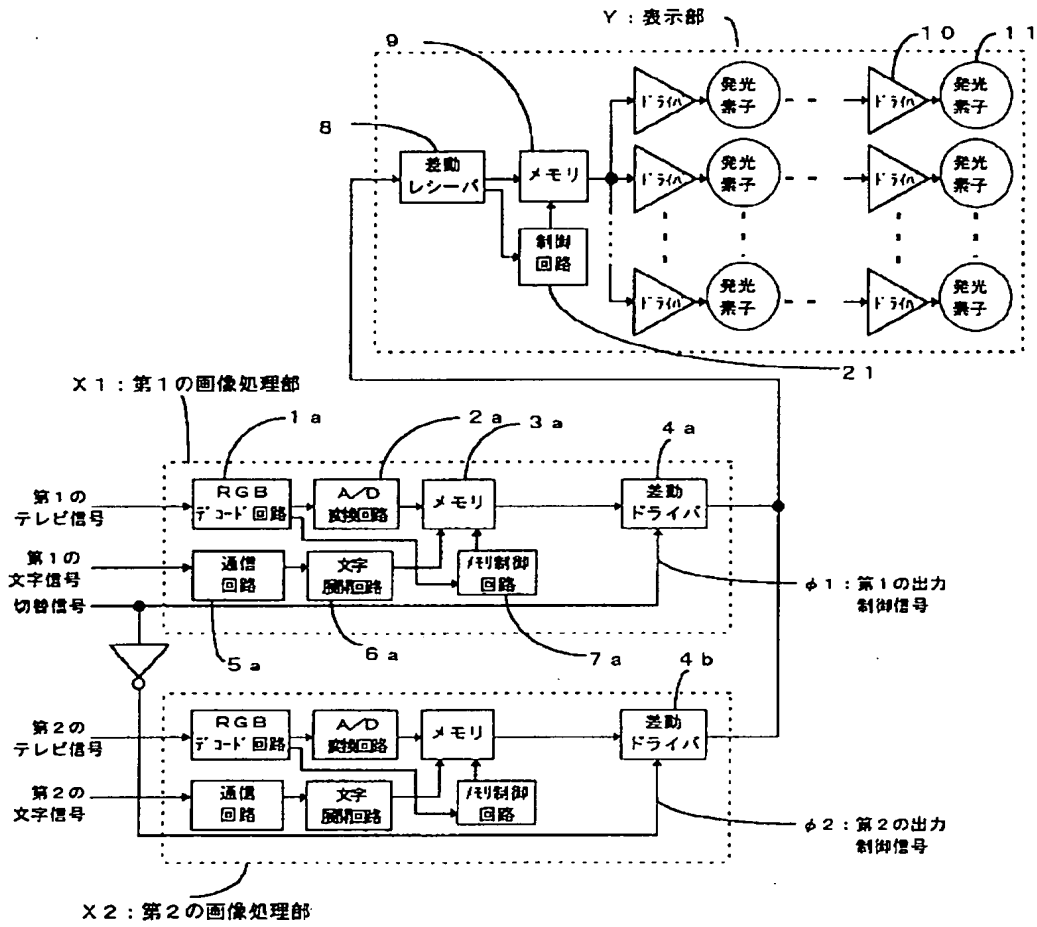
入力信号	出力制御信号	非反転出力信号	反転出力信号
L	H	L	H
H	H	H	L
L	L	Z	Z
H	L	Z	Z

L : ローレベル状態
H : ハイレベル状態
Z : ハイインピーダンス状態

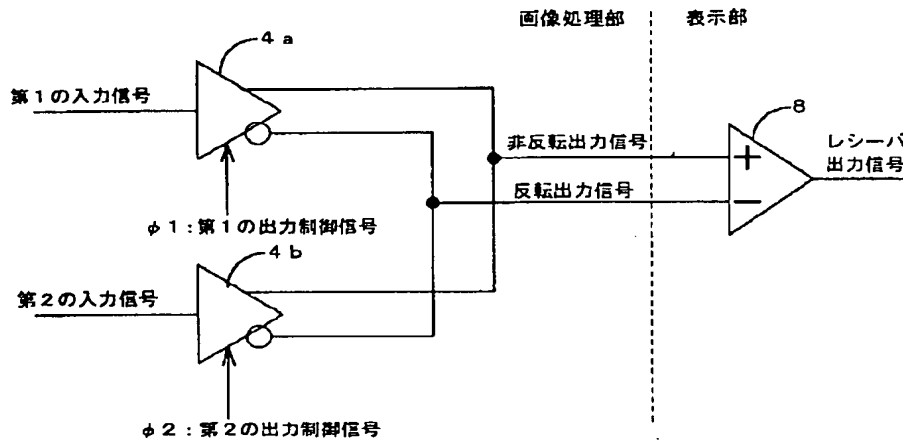
【図 8】



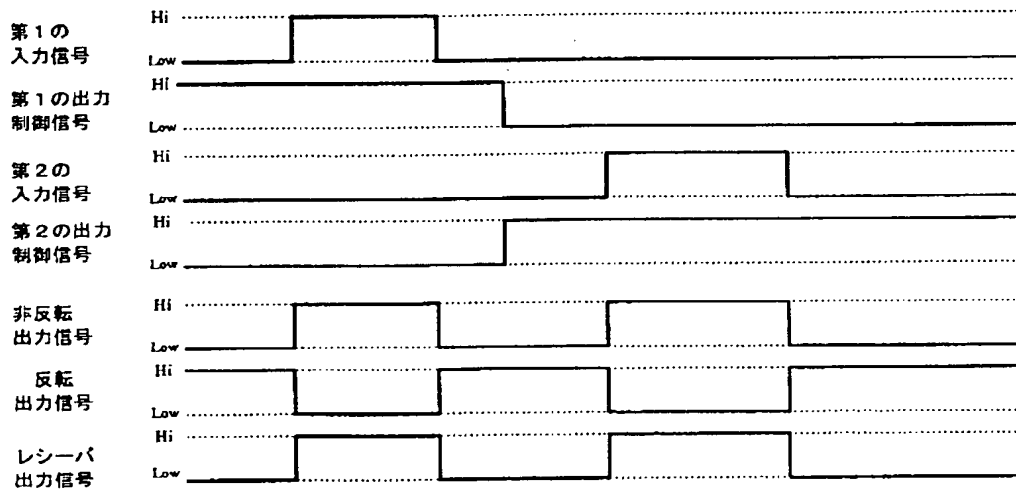
【図 1】



【図 4】



【図 5】



【図 7】

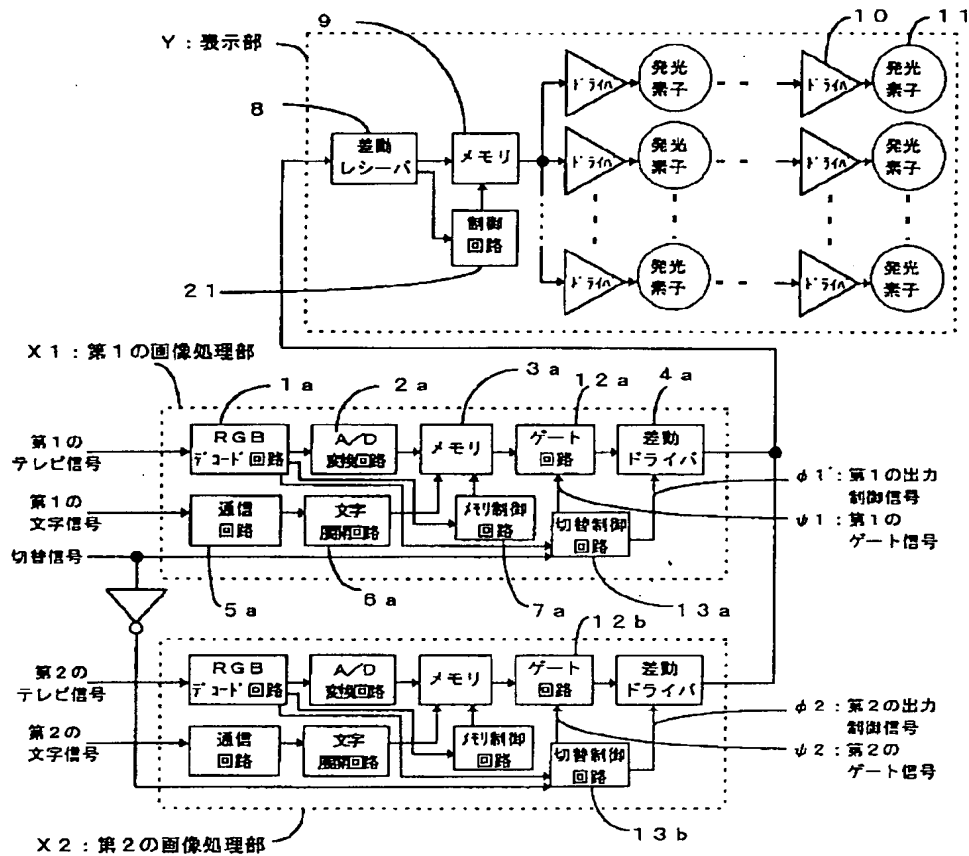
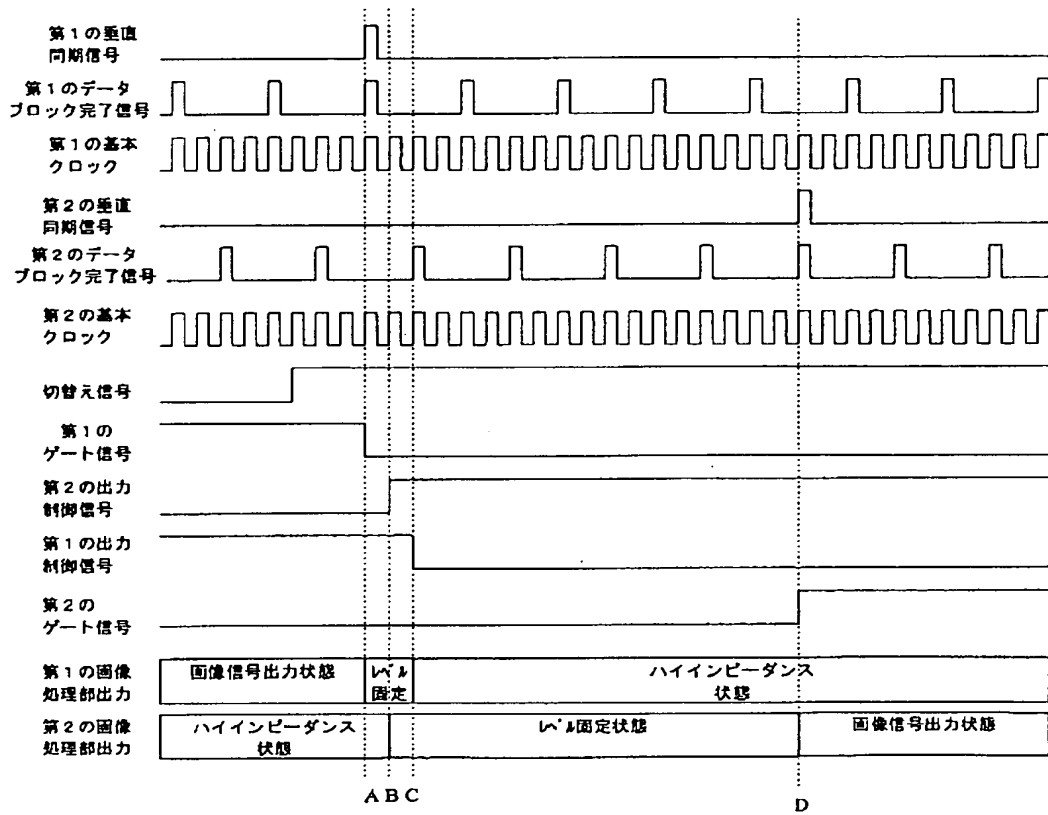


Figure 13 consists of two circuit diagrams, (a) and (b), enclosed in dashed boxes. Both diagrams show a sequence of components: an AND gate, a latch, an OR gate, another latch, and a final OR gate. The inputs to these gates are derived from a common set of signals: a vertical switching signal, a first clock signal, and a second clock signal. In (a), the first clock signal is used to control the first latch and the first OR gate. In (b), the second clock signal is used to control the second latch and the second OR gate. The output of the first OR gate in (a) is the first output signal, and the output of the second OR gate in (b) is the second output signal.

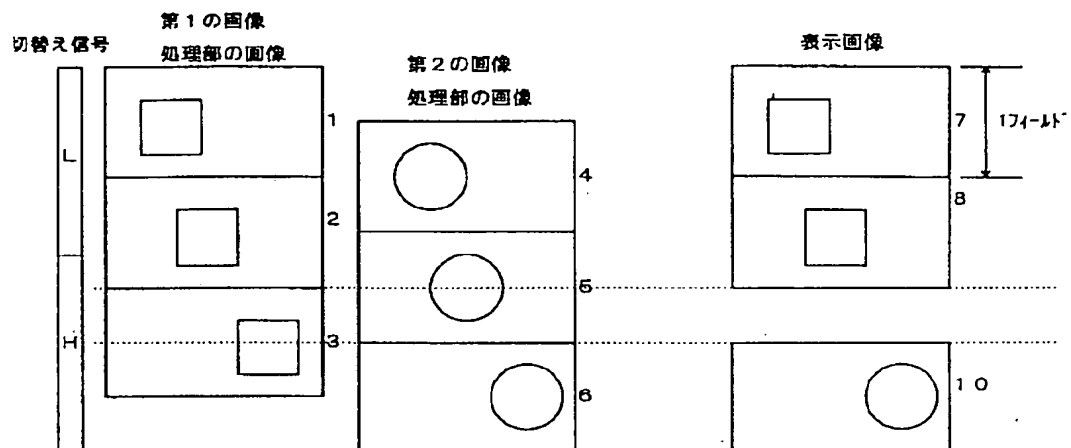
13 a : 切替制御回路

13 b : 切替制御回路

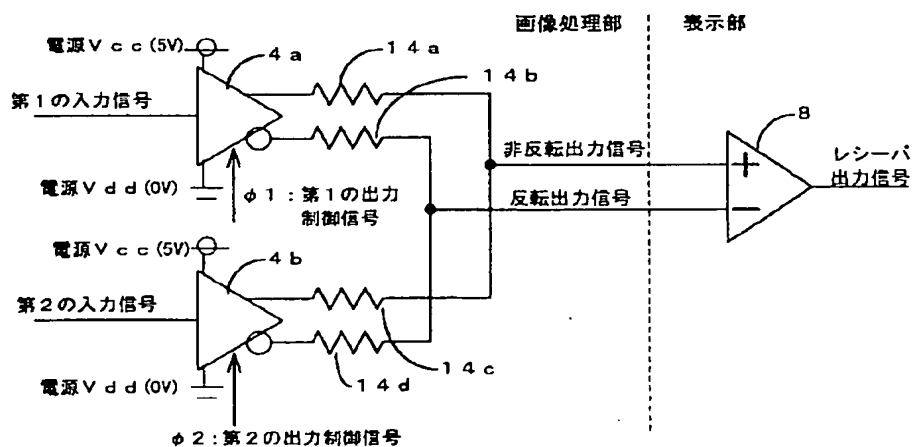
【図10】



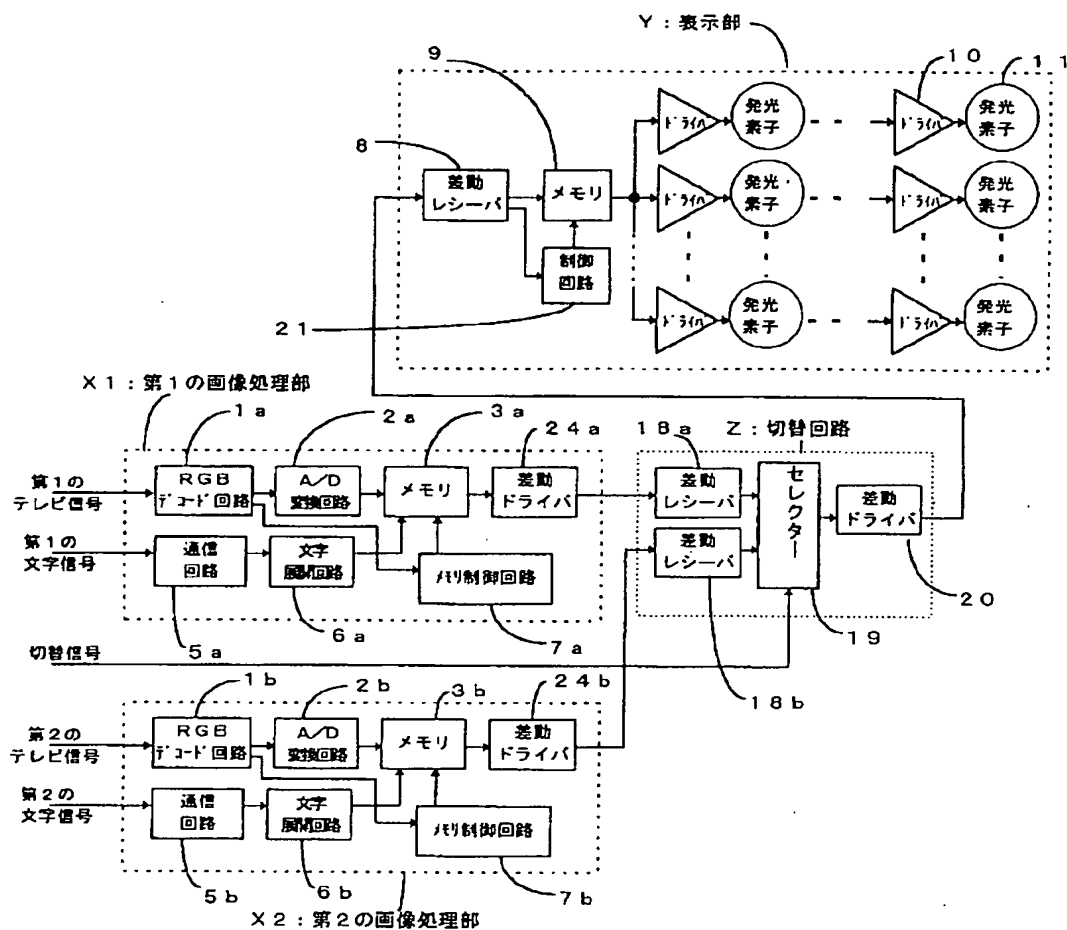
【図11】



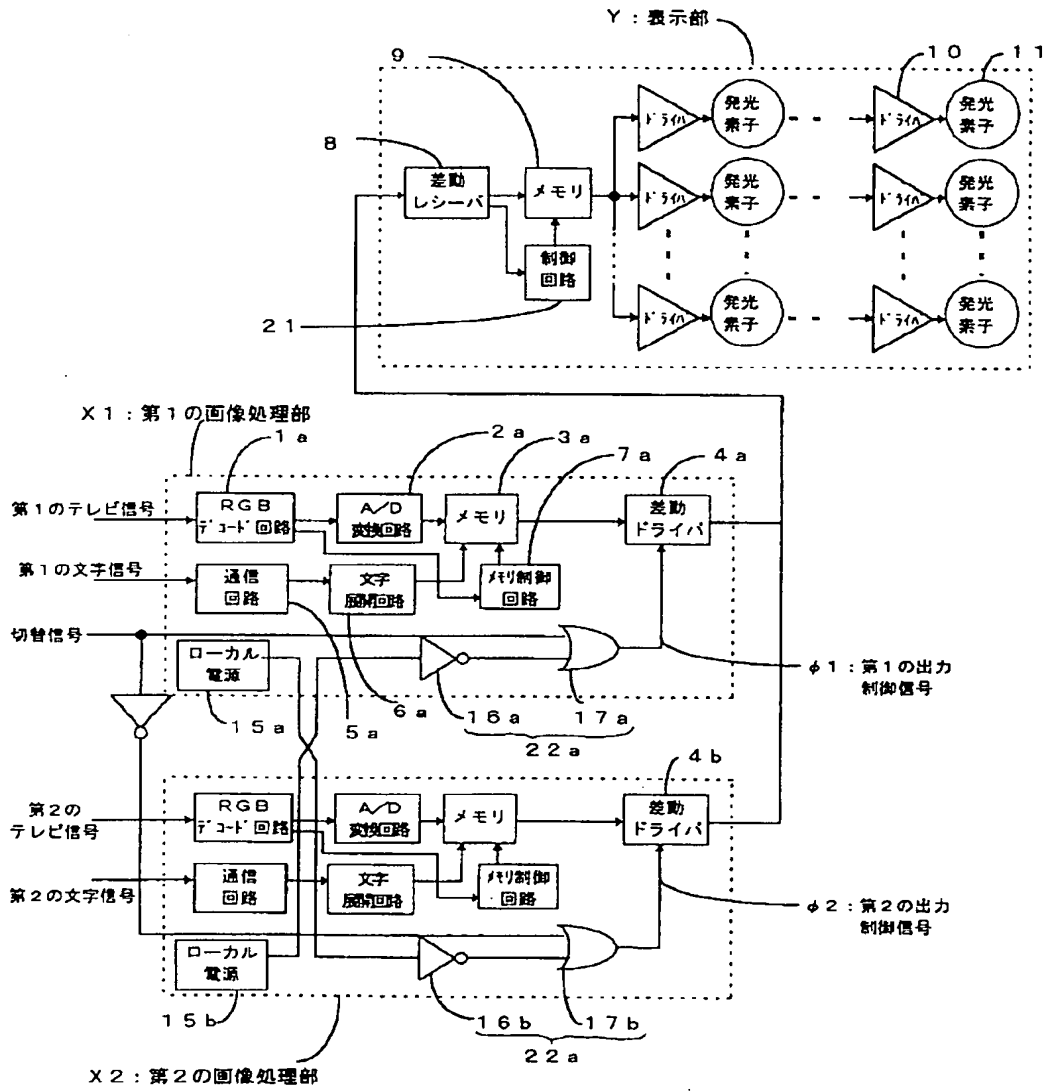
【图 12】



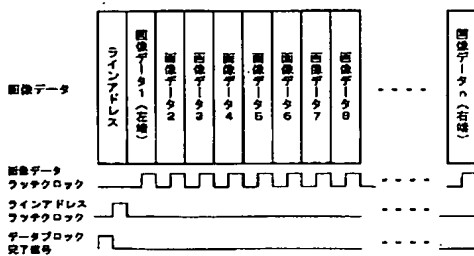
【图 14】



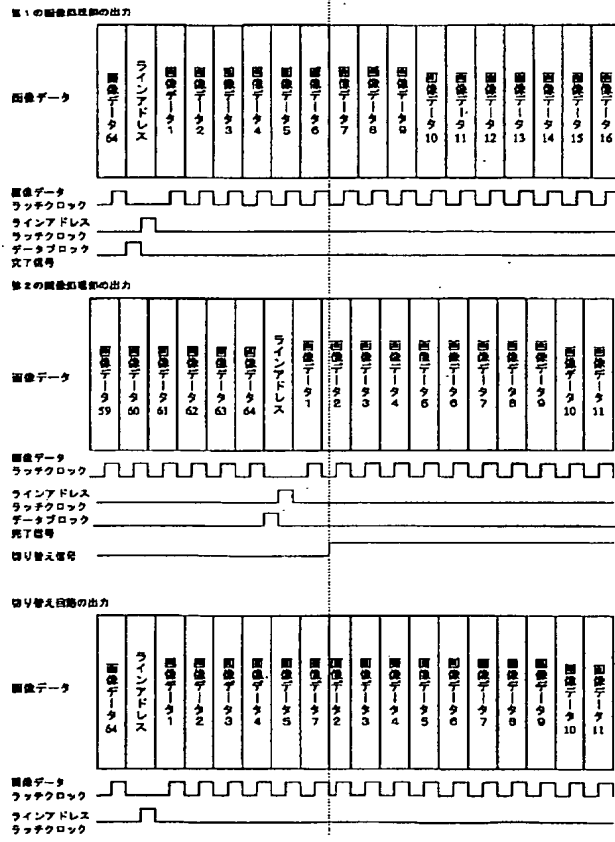
【図 13】



【図 15】



【図 16】



【図 17】

